

Transcripciones de las presentaciones de clases de teoría 2010

IMPORTANTE: Estas notas de clases sirven como complemento de los apuntes ya editados por esta cátedra y no deben ser considerados como el material didáctico final a estudiar. Se aprovecha en las mismas refrescar ciertos conceptos vertidos en los mismos, complementarlos y actualizarlos.

TEMA 5: Contadores:

Filmina 1: Los contadores son circuitos secuenciales basados en Flip-flops (FFs) y compuertas aunque también pueden estar diseñados sólo con los primeros (como es el caso de algunos tipos de contadores asincrónicos y sincrónicos).

Ellos cuentan eventos de reloj. Como en general los contadores están basados en FFs disparados por flanco, contarán flancos sensibles a dichos FFs. El dato se presenta en formato paralelo, necesitando de N salidas para alcanzar un conteo máximo de N eventos.

Filmina 2 y 3: Dependiendo de si la señal de reloj es única a todos los Flip-flops que constituyen el contador: se clasifican en asincrónicos y sincrónicos.

Los asincrónicos tienen un acarreo del reloj que sólo se conecta a un primer FF.

En los sincrónicos (salvo honrosas excepciones) la señal de reloj se aplica a todos los FFs que generan el sistema de conteo. Se aclara esto ya que pueden existir en el circuito, otros FFs que se utilizan para tareas auxiliares al de conteo, como es el caso de la carga de datos en paralelo.

Otra posible clasificación es según el formato que se use para el conteo: generalmente se emplea el sistema binario y decimal aunque se pueden construir contadores con sistemas numéricos arbitrarios (por ejemplo el código de Gray).

El sentido de conteo es a veces utilizado para definir al contador, puede ser ascendente, descendente o con ambas estrategias.

Filmina 4 a 6: Se muestra el caso de un contador asincrónico progresivo (conteo ascendente) de formato binario, basado en la concatenación de FFs tipo T disparados por flanco descendente.

Si pensamos en un contador de 1 bit, éste debería contar desde 0 hasta 1 y generar luego un desborde, es decir, volver a comenzar con el código inicial.

Para este caso basta con usar un solo FF tipo "T" con la entrada en "1" con lo cual para cada flanco de reloj a contar, cambiará cíclicamente de "0" a "1".

Un contador de 2 bits sería similar con la diferencia que el bit más significativo (MSB) debe cambiar de "0" a "1" y viceversa cada 2 ciclos de reloj. Esto se puede conseguir conectando la entrada de reloj de otro FF "T" a la salida Q del primer FF.

Tendremos entonces la secuencia Q1Q0=00, 01, 10, 11 y vuelta a empezar.....

Con el mismo análisis podemos crear un contador de N bits, usando N FFs tipo "T" con sus entradas en "1".

En el diagrama de tiempos se ve un contador progresivo binario de 3 bits que cuenta desde 000 hasta 111 y luego repite el ciclo.

Considerando que cada FF tiene un retardo desde que acepta el reloj hasta que modifica su salida, es claro entender que a medida que se tenga más FFs en el contador mayor será el retardo final que se tendrá ya que el último de los FFs es el que reacciona si hay cambios en su entrada de reloj.

Se genera entonces una propagación de la señal de reloj. Este es una de las limitaciones más serias que tiene este tipo de contador ya que no se puede volver a presentar otro flanco de reloj hasta que el último FF no tenga su salida Q estabilizada.

Los códigos inválidos se presentan como la combinación de las salidas de los FFs que temporalmente todavía están cambiando. Los peores casos ocurren cuando el código al que se va a llegar al detectar el flanco sensible, hace que cambie el último FF. Por ejemplo si tenemos un contador de 3 bits esto ocurre cuando pasamos del código 011 al 100 y del 111 al 000.

La máxima frecuencia de operación (considerando que todos los FFs tengan el mismo tpd (clk->Q)) es N veces el tiempo de retardo de la salida del FF respecto al reloj.

A mayor cantidad de bits menor es la frecuencia de operación a la que se puede hacer funcionar a ese contador.

La ventaja que tiene este contador es su simplicidad, ya que solo usa FFs, siendo en general menor su consumo respecto que el de uno síncrono.

Otro parámetro que suele utilizarse es el tiempo de "skew" que es la diferencia en la respuesta temporal entre el FF más rápido en relación al más lento. Tiene especial significado en el caso de los contadores síncronos.

Filminas 7 a 8: Todo contador asíncrono binario como el expuesto siempre desborda cuando se llegue al código "11...1111". Para lograr que lo haga en otro número bastará con emplear FFs con entradas asíncronas de RESET y hacer que los mismo se "reseteen" cuando se llegue a un dado número. Por ejemplo si queremos que llegue hasta "5" (101) y pase luego a "0" (000) lo que podemos hacer es generar con compuertas una lógica para que cuando se llegue al número 6 (110) se borren todos los FFs. Lo que obtendremos entonces es que brevemente el conteo pasa de 5 a 6 pero rápidamente de llega a 0.

Filminas 9 a 11: Los contadores sincrónicos tienen como ventaja que son más rápidos que los asincrónicos y su velocidad de respuesta es en general independiente del número de bits del contador.

NOTA: Dado que hasta aquí no se tienen las herramientas necesarias para realizar la síntesis de circuitos secuenciales sólo se explicará el caso de diseño de un contador binario progresivo de N bits. En el módulo de “Análisis y Síntesis de circuitos digitales” se darán las pautas para el diseño de varios tipos de circuitos secuenciales, incluyendo los contadores sincrónicos.

El problema del diseño de un contador sincrónico es que todas las entradas de reloj de los FFs se conectan al RELOJ de entrada. Entonces cómo se hace que cambien sus salidas?.

Consideremos que tenemos N FFs desde FF0 hasta FF(N-1)

Si se analiza la tabla de conteo de un contador binario progresivo se puede observar que:

--El bit menos significativo (LSB) ó salida Q0, cambia cada vez que se detecta el flanco de reloj.

--El siguiente bit ó salida Q1, cambia cada 2 flancos de reloj.

--El tercer bit menos significativo ó salida Q2, lo hace cada 4.

Y así siguiendo: Q3 cambia cada 8 flancos, Q4 cada 16, etc..

Viéndolo de otra forma Q1 cambia cada vez que Q0 llega a “1”, mientras que Q2 cambia cada vez que Q1 y Q0 en conjunto llegan a “1”, es decir, $Q_1Q_0=11$.

En forma genérica el bit N-1 de un contador de este tipo cambiará de nivel lógico cada vez que se llegue al conteo $Q(n-2)=Q(n-3)=\dots\dots\dots Q_2=Q_1=Q_0=1$.

Para el caso de Q0 basta con obtener la salida de su propio Q y conectar la entrada T a “1” del FF0 al igual que en el asincrónico.

Para obtener la salida Q1, al siguiente FF se le puede conectar su entrada T a la salida de Q0. Como dijimos, Q1 sólo debe cambiar cuando Q0 esté en 1 y eso ocurre si hacemos esta conexión. Cada vez que Q0 llegue a “1”, en el siguiente flanco, el FF1 verá su entrada T en “1” y eso lo obliga a negar su estado previo (si Q1 era “0” pasa a “1” y viceversa).

La misma filosofía se puede aplicar al resto de los bits. Para generar Q2, habrá que cambiar esa salida en el FF2 sólo cuando $Q_1Q_0=11$ y eso se puede lograr conectando la salida de una AND a la entrada T del FF2 Q1 y sus entradas a Q1 y Q0.

Así, cada FF posterior deberá conectarse a una AND con las entradas de todas las salidas anteriores.

Filminas 12 a 14: A igual que en el caso de los contadores asincrónicos, los sincrónicos tienen una limitación en la frecuencia de reloj que se puede aplicar, debido fundamentalmente al retardo propio de los FFs.

Siguiendo un razonamiento análogo al hecho en el ejemplo del FF tipo "D" con un MUX, aquí se debe considerar que existe un valor mínimo en el período de la señal de reloj que se puede aplicar a este contador.

Dado que cuando se presente un flanco sensible a los FFs las salidas deben estar ya estabilizadas, esto puede lograrse sólo si hay suficiente tiempo para que se espere que se estabilicen en un dado FF, todas las salidas previas a él más el tiempo en que tarda en responder la AND presente a su entrada. Además se sabe que esa señal debe estar un tiempo de set-up antes del próximo flanco a contar.

En resumen, la máxima frecuencia de reloj a contar es la inversa del mínimo período de reloj admisible.

Dicho período es la suma de $t_{pd}(CLK \rightarrow Q)_{FF} + t_{pd}(AND) + t_{(set-up)FF}$.

Salvo el primer FF que es el más rápido porque no hay ninguna compuerta (su entrada se conecta a "1") y el segundo FF que se conecta a la salida Q0, el resto tiene el mismo retardo inherente tal como se explicó recién e independiente del número de bits.

NOTA: Algo importante para evaluar durante el uso de un contador es su función ya que éste puede usarse para contar o para dividir la frecuencia de una señal de reloj de entrada donde quizás no interese que hayan diferencias de retardo entre salidas como es el caso de un contador asincrónico o por el contrario es imperioso lograr la estabilización rápida de todos los bits donde el sincrónico lleva ventaja sumado a su respuesta más veloz.

Filmina 15 a 23: El contador 74HC163 es un contador binario progresivo de 4 bits con carga de datos paralelo. Posee además una entrada de reset y una salida auxiliar que indica cuando se llega al máximo conteo "1111".

La posibilidad de poder precargarle un número en las salidas, permite realizar conteos de diferentes extensiones.

Tanto el reset como la carga de datos son sincrónicos, es decir, tienen efecto sólo ante la presencia de un flanco activo del reloj.

En la filmina 23 se muestran dos ejemplos de contador de módulo diferente al binario. En uno se logra contar 5 eventos diferentes (módulo 5) con la ayuda de un inversor que se conecta a la entrada de reset.

Cuando Q2 se pone a "1" en reset se recibe un "0" y en el siguiente ciclo de reloj el contador vuelve a contar desde "0000". Como la primera vez que Q2 se pone en "1" es con el conteo en 0100, el contador cuenta siempre desde 0000 a 0100 en forma cíclica.

Filmina 24 a 26: aquí se presenta el caso de aumentar la longitud de palabra del contador, es decir, la cantidad de bits, a 8 en este caso.

Para ello se emplean dos 74163 en una configuración sincrónica. Esto es, la señal de reloj se conecta a ambos contadores. El contador de arriba (COUNTER 2) es el menos significativo (maneja los bits T3-T2-T1-T0 que corresponde al nibble bajo) y trabaja normalmente. En cambio, el de abajo (COUNTER 1) si bien cuenta los mismos flancos de reloj sólo es habilitado para contar si existe una señal que lo habilite, la cual se conecta en este caso a las líneas ENT y ENP. Sus salidas manejan el nibble alto (T7-T6-T-T4). Según está hecha la conexión entre RCO y ENT-ENP, cada vez que el contador superior llega a "1111" habilitará a través de la misma a que se haga un conteo en el contador inferior. Por lo tanto, cada 16 flancos de reloj de COUNTER 2, uno es contado por COUNTER 1.

En la simulación se hace una carga paralela del número "7" y se habilita el conteo del reloj. Se puede observar como al llegar a "15" la salida RCO sube, lo que permite a COUNTER 1 contar el siguiente flanco de reloj.

Filmina 27 a29: La idea de este circuito es generar una señal tipo onda cuadrada cuyo ciclo de trabajo pueda ser programable. El ciclo de trabajo es la relación entre el tiempo en que la señal esta en alto respecto del período total. Un 50% de ciclo de trabajo implica que está el mismo tiempo en nivel alto que en bajo, mientras que un 10% implica que una señal de 100ms de período esté 10ms en alto.

La salida del generador es la denominada "salida" del FF tipo "D".

En el inicio se carga al contador 74163 con un dado número entre 0000 y 1111. A partir de allí cada vez que detecte un flanco de reloj ascendente, hará un nuevo conteo.

Por su lado el FF teniendo su entrada en "1" mantendrá su salida siempre en ese valor hasta que el contador llegue al conteo "1111" donde se reseteará.

La salida del FF, quedará en "0" durante un ciclo de reloj ya que al siguiente el contador volverá a contar desde el valor precargado y se repetirá el ciclo indefinidamente con un nivel alto variable en la salida que depende del contador y un nivel bajo siempre de un ciclo de reloj de duración.